

Docket No.: 60188-791

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Toshitaka TATSUNARI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: March 03, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME		

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-074731, filed March 19, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:tlb  
Facsimile: (202) 756-8087  
**Date: March 3, 2004**

60188-791  
TATSUNARI  
March 3, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 1 9 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 7 4 7 3 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 7 4 7 3 1 ]

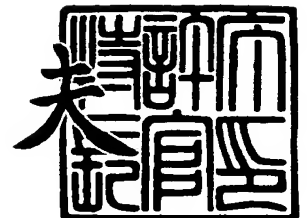
出      願      人                      松下電器産業株式会社  
Applicant(s):

403-V-054451  
P 32810

2 0 0 3 年 1 1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 9 7 6 2 7

【書類名】 特許願

【整理番号】 2926440153

【提出日】 平成15年 3月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 立成 利貴

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

## 【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

## 【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

## 【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

## 【選任した代理人】

【識別番号】 100117581

【弁理士】

【氏名又は名称】 二宮 克也

## 【選任した代理人】

【識別番号】 100117710

【弁理士】

【氏名又は名称】 原田 智雄

## 【選任した代理人】

【識別番号】 100121500

【弁理士】

【氏名又は名称】 後藤 高志

## 【選任した代理人】

【識別番号】 100121728

【弁理士】

【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0217869

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上に形成された第 1 の水素バリア膜と、  
前記第 1 の水素バリア膜の上に形成された容量下部電極と、  
前記第 1 の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面を露出させるように形成された第 1 の絶縁膜と、  
前記容量下部電極及び前記第 1 の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、  
前記容量絶縁膜の上に形成された容量上部電極と、  
前記第 1 の絶縁膜の上に前記容量絶縁膜及び前記容量上部電極を覆うように形成され、前記容量上部電極の角部と対応する部位に傾斜部を有する第 2 の絶縁膜と、  
前記第 2 の絶縁膜の上に形成された第 2 の水素バリア膜とを備えることを特徴とする半導体装置。

【請求項 2】 基板上に形成された第 1 の水素バリア膜と、  
前記第 1 の水素バリア膜の上に形成された容量下部電極と、  
前記第 1 の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面を露出させるように形成された第 1 の絶縁膜と、  
前記容量下部電極及び前記第 1 の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、  
前記容量絶縁膜の上に形成された容量上部電極と、  
前記第 1 の絶縁膜の上に前記容量絶縁膜及び前記容量上部電極を覆うように形成された第 2 の絶縁膜と、  
前記第 2 の絶縁膜と異なる材料よりなり、前記第 2 の絶縁膜を覆うように形成されていると共に前記容量上部電極の角部と対応する部位がリフローにより滑らかになっている第 3 の絶縁膜と、  
前記第 3 の絶縁膜の上に形成された第 2 の水素バリア膜とを備えることを特徴とする半導体装置。

【請求項 3】 前記容量下部電極、前記容量絶縁膜及び前記容量上部電極よりなる強誘電体キャパシタは前記第 1 の水素バリア膜及び前記第 2 の水素バリア膜によって完全に覆われていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 1 の絶縁膜及び前記第 2 の絶縁膜は島状に形成されていると共に、前記第 1 の水素バリア膜の周端部と前記第 2 の水素バリア膜の下端部とが接続することにより、前記強誘電体キャパシタは前記第 1 の水素バリア膜及び前記第 2 の水素バリア膜によって完全に覆われていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記容量下部電極は、下側から順次形成された、TiN 膜、TiAlN 膜、Ir 膜、IrO<sub>2</sub> 膜及びPt 膜からなる積層膜により構成されていることを特徴とする請求項 1～4 のうちいずれか 1 項に記載の半導体装置。

【請求項 6】 前記第 3 の絶縁膜は、オゾン CVD 法により形成された、ノンドーピング型のシリコン酸化膜又はボロン及びリンのうちの少なくとも 1 つがドーピングされたシリコン酸化膜よりなることを特徴とする請求項 2 に記載の半導体装置。

【請求項 7】 基板上に保護絶縁膜を介して第 1 の水素バリア膜を形成する工程と、

前記第 1 の水素バリア膜の上に容量下部電極を形成する工程と、

前記第 1 の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面が露出するように第 1 の絶縁膜を形成する工程と、

前記容量下部電極及び前記第 1 の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に容量上部電極を形成する工程と、

前記第 1 の絶縁膜の上に、前記容量絶縁膜及び前記容量上部電極を覆うように第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜における前記容量上部電極の角部と対応する部位に傾斜部を形成する工程と、

前記傾斜部を有する前記第 2 の絶縁膜の上に第 2 の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 2 の絶縁膜における前記容量上部電極の角部と対応する部位に傾斜部を形成する工程は、前記第 2 の絶縁膜に対して不活性イオンをスパッタリングすることにより前記傾斜部を形成する工程を含むことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 2 の絶縁膜における前記容量上部電極の角部と対応する部位に傾斜部を形成する工程は、前記第 2 の絶縁膜に対して全面エッチングを行なうことにより前記傾斜部を形成する工程を含むことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 前記第 2 の絶縁膜に前記傾斜部を形成する工程と前記第 2 の水素バリア膜を形成する工程との間に、前記第 2 の絶縁膜及び前記第 1 の絶縁膜に対して選択的にエッチングを行なって、前記第 2 の絶縁膜及び前記第 1 の絶縁膜を島状に形成する工程を備え、

前記第 2 の水素バリア膜を形成する工程は、前記第 1 の水素バリア膜の周端部と前記第 2 の水素バリア膜の下端部とが接続することにより、前記容量下部電極、前記容量絶縁膜及び前記容量上部電極よりなる強誘電体キャパシタが前記第 1 の水素バリア膜及び前記第 2 の水素バリア膜によって完全に覆われるようにする工程を含むことを特徴とする請求項 7～9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】 基板上に保護絶縁膜を介して第 1 の水素バリア膜を形成する工程と、

前記第 1 の水素バリア膜の上に容量下部電極を形成する工程と、

前記第 1 の水素バリア膜の上に前記容量下部電極の側面を覆い且つ前記容量下部電極の上面が露出するように第 1 の絶縁膜を形成する工程と、

前記容量下部電極及び前記第 1 の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に容量上部電極を形成する工程と、

前記第 1 の絶縁膜の上に、前記容量絶縁膜及び前記容量上部電極を覆うように第 2 の絶縁膜を形成する工程と、

前記第 2 の絶縁膜の上に、前記第 2 の絶縁膜と異なる材料よりなる第 3 の絶縁



膜を形成する工程と、

前記第3の絶縁膜をリフローすることにより、前記第3の絶縁膜における前記容量上部電極の角部と対応する部位を滑らかにする工程と、

前記容量上部電極の角部と対応する部位が滑らかになっている前記第3の絶縁膜の上に第2の水素バリア膜を形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項12】 前記第3の絶縁膜を形成する工程は、オゾンCVD法により、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなる前記第3の絶縁膜を形成する工程を含むことを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項13】 前記第3の絶縁膜をリフローする工程と前記第2の水素バリア膜を形成する工程との間に、前記第3の絶縁膜、前記第2の絶縁膜及び前記第1の絶縁膜に対して選択的にエッチングを行なって、前記第3の絶縁膜、前記第2の絶縁膜及び前記第1の絶縁膜を島状に形成する工程を備え、

前記第2の水素バリア膜を形成する工程は、前記第1の水素バリア膜の周端部と前記第2の水素バリア膜の下端部とが接続することにより、前記容量下部電極、前記容量絶縁膜及び前記容量上部電極よりなる強誘電体キャパシタが前記第1の水素バリア膜及び前記第2の水素バリア膜によって完全に覆われるようにする工程を含むことを特徴とする請求項11又は12に記載の半導体装置の製造方法。

【請求項14】 前記容量下部電極は、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO<sub>2</sub>膜及びPt膜からなる積層膜により構成されていることを特徴とする請求項7～13のうちいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、容量絶縁膜として絶縁性金属酸化物膜が用いられる強誘電体キャパシタを有する半導体装置及びその製造方法に関する。

## 【0002】

## 【従来の技術】

近年におけるデジタル技術の進展に伴い、大容量のデータを処理及び保存する傾向が推進される中で電子機器が一段と高度化しているため、電子機器に使用される半導体装置を構成する半導体記憶素子の微細化が急速に進んでいる。また、ダイナミックRAMの高集積化を実現するために、半導体記憶素子を構成する容量絶縁膜としては、従来のシリコン酸化物又はシリコン窒化物に代えて、高誘電体を用いる技術が広く研究開発されている。

## 【0003】

また、低電圧での動作並びに高速での書き込み及び読み出しが可能な不揮発性RAMの実用化を目指し、自発分極特性を有する強誘電体膜に関する研究開発が盛んに行われている。容量絶縁膜として強誘電体膜を用いる半導体記憶装置においては、水素の還元作用に起因して起きる強誘電体膜の自発分極特性の劣化又は喪失により、強誘電体膜が容量絶縁膜として機能しなくなる事態を防止する必要がある。特に強誘電体材料は酸素原子を持つ層状酸化物であるから、半導体装置の製造プロセスにおいて行なわれる水素雰囲気中での熱処理により簡単に還元されて、強誘電体膜の自発分極特性が容易に劣化又は喪失するという問題がある。

## 【0004】

半導体装置の製造プロセスにおいて行なわれる水素雰囲気中での熱処理の一例としては、アルミ配線を形成した後にトランジスタの特性を確保するために、例えば400℃の温度下で10～30分間程度行なわれる水素アニール等が挙げられる。

## 【0005】

以下、例えば、特許文献1に示されている、強誘電体膜よりなる容量絶縁膜を有する従来の半導体装置について図11を参照しながら説明する。

## 【0006】

図11に示すように、半導体基板10の表面部に埋め込み型の素子分離領域11が形成されている。素子分離領域11によって囲まれた領域における半導体基板10の上にはゲート絶縁膜12を介してゲート電極13が形成されていると共

に、素子分離領域 11 によって囲まれた半導体基板 10 の表面部にはソース領域 14 及びドレイン領域 15 が形成されており、ドレイン領域 15 にはビット線 16 が接続されている。ゲート電極 13、ソース領域 14 及びドレイン領域 15 によってメモリ素子用トランジスタとなる電界効果型トランジスタが構成されており、ゲート電極 13 はワード線となる。

#### 【0007】

半導体基板 10 の上には、ゲート電極 13、ソース領域 14、ドレイン領域 15 及びビット線 16 を覆うように保護絶縁膜 17 が形成されており、該保護絶縁膜 17 には該保護絶縁膜 17 を貫通してソース領域 14 に延びるタングステンよりなるコンタクトプラグ 18 が埋め込まれており、保護絶縁膜 17 の上にはコンタクトプラグ 18 の上端と接続される容量下部電極 19 が形成されている。容量下部電極 19 は、Pt 膜と、 $\text{IrO}_2$  膜、Ir 膜及び  $\text{TiAlN}$  膜の積層膜よりなり酸素及び水素の透過を防止する導電性積層バリア膜とから構成されている。

#### 【0008】

保護絶縁膜 17 の上における容量下部電極 19 同士の間にはシリコン窒化膜よりなる第 1 の水素バリア膜 20 が形成され、容量下部電極 19 及び第 1 の水素バリア膜 20 の上には、強誘電体膜よりなる容量絶縁膜 21 及び容量上部電極 22 が形成されており、容量下部電極 19、容量絶縁膜 21 及び容量上部電極 22 によって強誘電体キャパシタが構成されている。

#### 【0009】

ところで、容量絶縁膜 21 となる強誘電体膜を結晶化させるために行なわれる、例えば 850℃ の温度下における 3 分間の酸素アニール処理によって、コンタクトプラグを構成するタングステンと酸素とが異常反応を起こすことを防止するために、容量下部電極 19 を構成する導電性積層バリア膜に  $\text{IrO}_2$  膜と Ir 膜とが含まれている。

#### 【0010】

第 1 の水素バリア膜 20 の上には、容量絶縁膜 21 及び容量上部電極 22 を覆うようにスパッタ法により形成された  $\text{Al}_2\text{O}_3$  (アルミナ) 又は  $\text{TiAlO}$  (チタンアルミオキサイド) よりなる第 2 の水素バリア膜 23 が形成されている。

## 【0011】

## 【特許文献1】

特開平04-102367号公報

## 【0012】

## 【発明が解決しようとする課題】

しかしながら、前述の半導体装置においては、容量絶縁膜21となる強誘電体膜を結晶化させるために行なわれる酸素アニール処理により、容量下部電極19の内部において剥離が発生するので、水素雰囲気中での熱処理工程において容量絶縁膜21に水素が侵入する事態を完全に防止することができないという第1の問題がある。

## 【0013】

また、第2の水素バリア膜23の結晶性及び被覆性が良くないために、第2の水素バリア膜23は水素の侵入を完全に防止することができないという第2の問題がある。

## 【0014】

前記に鑑み、本発明は、容量絶縁膜となる強誘電体膜を結晶化させるための酸素アニール処理において容量下部電極の内部に剥離が発生する事態を防止すると共に、第2の水素バリア膜の結晶性及び被覆性を向上させることにより、水素雰囲気中での熱処理工程において容量絶縁膜に水素が侵入する事態を確実に防止することを目的とする。

## 【0015】

## 【課題を解決するための手段】

(第1の知見)

以下、第1の問題が発生するメカニズムについて、本件発明者が行なった考察について説明する。

## 【0016】

前述のように、容量絶縁膜21となる強誘電体膜を結晶化させるために、通常、650℃～850℃の温度範囲で酸素アニール処理が行なわれる。図12は、この酸素アニール処理によって引き起こされる第1の水素バリア膜20の熱スト

レスと半導体基板の温度との関係を表わす熱ストレスヒステリシス曲線を示している。尚、この場合の酸素アニール処理は、昇温レートが $+4^{\circ}\text{C}/\text{min}$ であり、降温レートが $-10^{\circ}\text{C}/\text{min}$ であり、 $850^{\circ}\text{C}$ での保持時間は30分間の条件で行なわれた。また、縦軸の正は引っ張りストレスを示し、負は圧縮ストレスを示している。

#### 【0017】

図12から分かるように、基板温度が $600^{\circ}\text{C}$ 以上になると、第1の水素バリア膜20のストレスは圧縮方向から引っ張り方向に変化する。

#### 【0018】

そこで、本件発明者は、ストレスの圧縮方向から引っ張り方向への変化により、容量下部電極19における積層界面、特にIr膜とTiAlN膜との界面での密着性がもともと悪いことと相俟って、容量下部電極19の内部において剥離が発生することを見出した。前述のように、容量下部電極19の内部で剥離が発生すると、剥離面が水素のパスになるので、容量絶縁膜22に水素が侵入する事態を完全に防止することは困難になる。

#### 【0019】

本発明の第1の解決原理は、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化が容量下部電極に及ばないようにするものである。

#### 【0020】

(第2の知見)

以下、第2の問題が発生するメカニズムについて、本件発明者が行なった考察について説明する。

#### 【0021】

第2の水素バリア膜23は、通常、成膜中に水素が発生しないスパッタ法を用いて成膜された $\text{Al}_2\text{O}_3$ 膜等よりなる。

#### 【0022】

仮に、第2の水素バリア膜23となる $\text{Al}_2\text{O}_3$ 膜をCVD法により形成する場合には、 $2\text{AlCl}_3 + 3\text{H}_2 + 3\text{CO}_2 \rightarrow \text{Al}_2\text{O}_3 + 3\text{CO} + 6\text{HCl}$ の反応が

起こる。この場合、成膜ガス中に水素が含まれているため、CVD法により第2の水素バリア膜23を成膜するだけで、強誘電体キャパシタが劣化するという不具合が発生する。

#### 【0023】

従って、 $Al_2O_3$ 膜等よりなる第2の水素バリア膜23は、通常、成膜中に水素が発生しないスパッタ法を用いて成膜されるが、スパッタ法は一般的に段差被覆性に劣る。

#### 【0024】

そこで、本件発明者は、スパッタ法により第2の水素バリア膜23を形成すると、第2の水素バリア膜23における強誘電体キャパシタの角部と対応する部分において被覆性が悪くなり、水素に対するバリア性に重大な影響を与える結晶性及び緻密性が劣化するので、第2の水素バリア膜23の結晶粒界に沿って水素パスが発生するということを見出した。このため、第2の水素バリア膜は水素の侵入を完全に防止できなくなるのである。

#### 【0025】

本発明の第2の解決原理は、第2の水素バリア膜における強誘電体キャパシタの角部と対応する部位の被覆性を向上させるものである。

#### 【0026】

本発明は、前述の第1及び第2の知見に基づきなされたものである。

#### 【0027】

本発明に係る第1の半導体装置は、基板上に形成された第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量下部電極と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面を露出させるように形成された第1の絶縁膜と、容量下部電極及び第1の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、容量絶縁膜の上に形成された容量上部電極と、第1の絶縁膜の上に容量絶縁膜及び容量上部電極を覆うように形成され、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜と、第2の絶縁膜の上に形成された第2の水素バリア膜とを備える。

#### 【0028】

第1の半導体装置によると、容量下部電極は第1の水素バリア膜の上に設けられているため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないので、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜の上に形成されているため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、第1の半導体装置によると、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

#### 【0029】

本発明に係る第2の半導体装置は、基板上に形成された第1の水素バリア膜と、第1の水素バリア膜の上に形成された容量下部電極と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面を露出させるように形成された第1の絶縁膜と、容量下部電極及び第1の絶縁膜の上に跨るように形成された絶縁性金属酸化物よりなる容量絶縁膜と、容量絶縁膜の上に形成された容量上部電極と、第1の絶縁膜の上に容量絶縁膜及び容量上部電極を覆うように形成された第2の絶縁膜と、第2の絶縁膜と異なる材料よりなり、第2の絶縁膜を覆うように形成されていると共に容量上部電極の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜と、第3の絶縁膜の上に形成された第2の水素バリア膜とを備える。

#### 【0030】

第2の半導体装置によると、容量下部電極は第1の水素バリア膜の上に設けられているため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないので、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極

の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜の上に形成されているため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、第2の半導体装置によると、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

#### 【0031】

第1又は第2の半導体装置において、容量下部電極、容量絶縁膜及び容量上部電極よりなる強誘電体キャパシタは第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われていることが好ましい。

#### 【0032】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

#### 【0033】

第1又は第2の半導体装置において、第1の絶縁膜及び第2の絶縁膜は島状に形成されていると共に、第1の水素バリア膜の周端部と第2の水素バリア膜の下端部とが接続することにより、強誘電体キャパシタは第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われていることが好ましい。

#### 【0034】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

#### 【0035】

第1又は第2の半導体装置において、容量下部電極が、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO<sub>2</sub>膜及びPt膜からなる積層膜により構成されている場合に、本発明の効果は特に発揮される。

#### 【0036】

すなわち、容量下部電極が前記の積層膜よりなる場合には、容量下部電極がストレスの変化の影響を受けると、容量下部電極における積層界面、特にIr膜と



TiAlN膜との界面での密着性が低下し易いが、第1又は第2の半導体装置によると、容量下部電極がストレスの変化の影響を受け難いので、容量下部電極における積層界面での密着性が低下し難い。

#### 【0037】

第2の半導体装置において、第3の絶縁膜は、オゾンCVD法により形成された、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなることが好ましい。

#### 【0038】

このようにすると、第3の絶縁膜における容量上部電極の角部と対応する部位をリフローにより確実に滑らかにすることができる。

#### 【0039】

本発明に係る第1の半導体装置の製造方法は、基板上に保護絶縁膜を介して第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量下部電極を形成する工程と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面が露出するように第1の絶縁膜を形成する工程と、容量下部電極及び第1の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、容量絶縁膜の上に容量上部電極を形成する工程と、第1の絶縁膜の上に、容量絶縁膜及び容量上部電極を覆うように第2の絶縁膜を形成する工程と、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を形成する工程と、傾斜部を有する第2の絶縁膜の上に第2の水素バリア膜を形成する工程とを備える。

#### 【0040】

第1の半導体装置の製造方法によると、容量下部電極は第1の水素バリア膜の上に設けられるため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないので、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜の上に形成されるため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が

向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

#### 【0041】

第1の半導体装置の製造方法において、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を形成する工程は、第2の絶縁膜に対して不活性イオンをスパッタリングすることにより傾斜部を形成する工程を含むことが好ましい。

#### 【0042】

このように、第2の絶縁膜に対して不活性イオンをスパッタリングすると、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を確実に形成することができる。

#### 【0043】

第1の半導体装置の製造方法において、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を形成する工程は、第2の絶縁膜に対して全面エッチングを行なうことにより傾斜部を形成する工程を含むことが好ましい。

#### 【0044】

このように、第2の絶縁膜に対して全面エッチングを行なうと、第2の絶縁膜における容量上部電極の角部と対応する部位に傾斜部を確実に形成することができる。

#### 【0045】

第1の半導体装置の製造方法は、第2の絶縁膜に傾斜部を形成する工程と第2の水素バリア膜を形成する工程との間に、第2の絶縁膜及び第1の絶縁膜に対して選択的にエッチングを行なって、第2の絶縁膜及び第1の絶縁膜を島状に形成する工程を備え、第2の水素バリア膜を形成する工程は、第1の水素バリア膜の周端部と第2の水素バリア膜の下端部とが接続することにより、容量下部電極、容量絶縁膜及び容量上部電極よりなる強誘電体キャパシタが第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われるようにする工程を含むことが好

ましい。

#### 【0046】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

#### 【0047】

本発明に係る第2の半導体装置の製造方法は、基板上に保護絶縁膜を介して第1の水素バリア膜を形成する工程と、第1の水素バリア膜の上に容量下部電極を形成する工程と、第1の水素バリア膜の上に容量下部電極の側面を覆い且つ容量下部電極の上面が露出するように第1の絶縁膜を形成する工程と、容量下部電極及び第1の絶縁膜の上に跨るように、絶縁性金属酸化物よりなる容量絶縁膜を形成する工程と、容量絶縁膜の上に容量上部電極を形成する工程と、第1の絶縁膜の上に、容量絶縁膜及び容量上部電極を覆うように第2の絶縁膜を形成する工程と、第2の絶縁膜の上に、第2の絶縁膜と異なる材料よりなる第3の絶縁膜を形成する工程と、第3の絶縁膜をリフローすることにより、第3の絶縁膜における容量上部電極の角部と対応する部位を滑らかにする工程と、容量上部電極の角部と対応する部位が滑らかになっている第3の絶縁膜の上に第2の水素バリア膜を形成する工程とを備える。

#### 【0048】

第2の半導体装置の製造方法によると、容量下部電極は第1の水素バリア膜の上に設けられるため、第1の水素バリア膜が受けるストレスが圧縮方向から引っ張り方向に変化しても、該ストレスの変化は容量下部電極に悪影響を与えないので、容量下部電極の内部において剥離が発生しない。このため、容量下部電極の内部において水素のパスが形成されない。また、第2の水素バリア膜は、容量上部電極の角部と対応する部位がリフローにより滑らかになっている第3の絶縁膜の上に形成されるため、第2の水素バリア膜における容量上部電極の角部と対応する部位の被覆性が向上するので、第2の水素バリア膜の結晶性及び緻密性が向上する。このため、第2の水素バリア膜には結晶粒界に沿う水素パスが発生しなくなるので、第2の水素バリア膜は水素の侵入を確実に防止することができる。従って、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

## 【0049】

第2の半導体装置の製造方法において、第3の絶縁膜を形成する工程は、オゾンCVD法により、ノンドープ型のシリコン酸化膜又はボロン及びリンのうちの少なくとも1つがドープされたシリコン酸化膜よりなる第3の絶縁膜を形成する工程を含むことが好ましい。

## 【0050】

このようにすると、第3の絶縁膜における容量上部電極の角部と対応する部位をリフローにより確実に滑らかにすることができる。

## 【0051】

第2の半導体装置の製造方法は、第3の絶縁膜をリフローする工程と第2の水素バリア膜を形成する工程との間に、第3の絶縁膜、第2の絶縁膜及び第1の絶縁膜に対して選択的にエッチングを行なって、第3の絶縁膜、第2の絶縁膜及び第1の絶縁膜を島状に形成する工程を備え、第2の水素バリア膜を形成する工程は、第1の水素バリア膜の周端部と第2の水素バリア膜の下端部とが接続することにより、容量下部電極、容量絶縁膜及び容量上部電極よりなる強誘電体キャパシタが第1の水素バリア膜及び第2の水素バリア膜によって完全に覆われるようにする工程を含むことが好ましい。

## 【0052】

このようにすると、容量絶縁膜に水素が侵入する事態をより確実に防止することができる。

## 【0053】

第1又は第2の半導体装置の製造方法は、容量下部電極が、下側から順次形成された、TiN膜、TiAlN膜、Ir膜、IrO<sub>2</sub>膜及びPt膜からなる積層膜により構成されている場合に特に効果的である。

## 【0054】

すなわち、容量下部電極が前記の積層膜よりなる場合には、容量下部電極がストレスの変化の影響を受けると、容量下部電極における積層界面、特にIr膜とTiAlN膜との界面での密着性が低下し易いが、第1又は第2の半導体装置の製造方法により得られる半導体装置においては、容量下部電極がストレスの変化

の影響を受け難いので、容量下部電極における積層界面での密着性が低下し難い。

#### 【0055】

##### 【発明の実施の形態】

##### （第1の実施形態）

以下、本発明の第1の実施形態に係る半導体装置について、図1を参照しながら説明する。

#### 【0056】

図1は第1の実施形態に係る半導体装置の断面構造を示しており、図1に示すように、シリコンよりなる半導体基板100の表面部に埋め込み型の素子分離領域101が形成されている。素子分離領域101によって囲まれた領域における半導体基板100の上にはゲート絶縁膜102を介してゲート電極103が形成されていると共に、素子分離領域101によって囲まれた半導体基板100の表面部にはソース領域104及びドレイン領域105が形成されている。ゲート電極103、ソース領域104及びドレイン領域105の表面部にはコバルトシリサイド層106が形成されている。ゲート電極103、ソース領域104及びドレイン領域105によってメモリ素子用トランジスタとなる電界効果型トランジスタが構成されており、ゲート電極103はワード線となる。

#### 【0057】

半導体基板100の上には、ゲート電極103、ソース領域104及びドレイン領域105を覆うように保護絶縁膜107が形成されており、該保護絶縁膜107の上における所定領域には第1の水素バリア膜108が形成されている。第1の水素バリア膜108及び保護絶縁膜107を貫通して延びるようにタンゲステンよりなるコンタクトプラグ109が埋め込まれており、該コンタクトプラグ109の下端はソース領域104と接続されている。

#### 【0058】

第1の水素バリア膜108の上にはコンタクトプラグ109の上端と接続される導電膜110が設けられていると共に、導電膜110の上に容量下部電極111が形成されており、導電膜110及び容量下部電極111の周囲は、上面が容

容量下部電極 111 の上面と面一である第 1 の絶縁膜 112 により取り囲まれている。

#### 【0059】

容量下部電極 111 及び第 1 の絶縁膜 112 の上には強誘電体膜よりなる容量絶縁膜 113 が形成され、該容量絶縁膜 113 の上には容量上部電極 114 が形成されており、容量下部電極 111、容量絶縁膜 113 及び容量上部電極 114 によって強誘電体キャパシタが構成されている。

#### 【0060】

第 1 の絶縁膜 112 の上には強誘電体キャパシタを覆うように第 2 の絶縁膜 115 が設けられており、該第 2 の絶縁膜 115 における強誘電体キャパシタの角部と対応する部分には傾斜部 115a が設けられている。

#### 【0061】

第 1 の水素バリア膜 108、第 1 の絶縁膜 112 及び第 2 の絶縁膜 115 を覆うように第 2 の水素バリア膜 116 が形成されており、該第 2 の水素バリア膜 116 の下端部と第 1 の水素バリア膜 108 の周端部とは接続されている。

#### 【0062】

以下、第 1 の実施形態に係る半導体装置の第 1 の製造方法について、図 2 (a) ~ (c) 及び図 3 (a) ~ (c) を参照しながら説明する。

#### 【0063】

まず、図 2 (a) に示すように、シリコンよりなる半導体基板 100 の表面部に 300 nm ~ 750 nm の厚さを持つ埋め込み型の素子分離領域 101 を形成した後、素子分離領域 101 によって囲まれた領域における半導体基板 100 の上に 3 nm ~ 12 nm の厚さを持つゲート絶縁膜 102 を形成する。次に、ゲート絶縁膜 102 の上に 70 nm ~ 200 nm の厚さを持つノンドープ型アモルファスシリコン膜を堆積した後、該アモルファスシリコン膜をドライエッチングによりパターニングしてゲート電極 103 を形成する。

#### 【0064】

次に、素子分離領域 101 によって囲まれた半導体基板 100 の表面部にゲート電極 103 をマスクにボロンイオンを  $5 \sim 10 \times 10^{15} / \text{cm}^2$  のドーズ量で

イオン注入した後、650℃～850℃の温度範囲で10～30分間の活性化アニールを行なって、ソース領域104及びドレイン領域105を形成する。また、ゲート電極103、ソース領域104及びドレイン領域105の表面部には5nm～20nmの厚さを持つコバルトシリサイド層106を形成する。

#### 【0065】

次に、半導体基板100の上には、ゲート電極103、ソース領域104及びドレイン領域105を覆うように300nm～700nmの厚さを持つBP SG膜よりなる保護絶縁膜107を形成する。このBP SG膜においては、ボロン濃度は0.5wt%～2.5wt%に設定すると共に、リン濃度は1.0wt%～6.0wt%に設定する。次に、CVD法により保護絶縁膜107の上に50nm～200nmの厚さを持つSi N膜（シリコン窒化膜）よりなる第1の水素バリア膜108を堆積する。

#### 【0066】

次に、第1の水素バリア膜108及び保護絶縁膜107にコンタクトホールを形成した後、CVD法により第1の水素バリア膜108の上に全面に亘ってタンゲステン膜を堆積し、その後、該タンゲステン膜に対してエッチバック又はCMPを行なうことにより、第1の水素バリア膜108及び保護絶縁膜107を貫通して延びるコンタクトプラグ109を形成する。

#### 【0067】

次に、図2(b)に示すように、CVD法により第1の水素バリア膜108の上に5nm～50nmの厚さを持つTi N膜を堆積した後、スパッタ法によりTi N膜の上に、上層から順に積層された、50nm～150nmの厚さを持つPt膜、50nm～150nmの厚さを持つIr O<sub>2</sub>膜、50nm～150nmの厚さを持つIr膜及び10nm～100nmの厚さを持つTi Al N膜よりなる積層膜を堆積し、その後、Ti N膜及び積層膜をパターンニングして、Ti N膜よりなる導電膜110と積層膜よりなる容量下部電極111とを形成する。

#### 【0068】

次に、HDP（ハイ・デンシティー・プラズマ）-CVD法により、第1の水素バリア膜108の上に導電膜110及び容量下部電極111を覆うように15

5 nm～800 nmの厚さを持つ第1の絶縁膜112を堆積する。

#### 【0069】

次に、図2(c)に示すように、CMP法により、第1の絶縁膜112に対して容量下部電極111が露出するまで研磨を行なって、第1の絶縁膜112の上面を容量下部電極111の上面と面一にする。

#### 【0070】

次に、MOD（有機金属分解）法、MOCVD（有機金属化学気相成膜）法、スパッタ法又は塗布法により、容量下部電極111及び第1の絶縁膜112の上に、50 nm～150 nmの厚さを持つ $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ 膜よりなるビスマス層状ペロブスカイト構造を有する強誘電体膜を形成した後、スパッタ法により、強誘電体膜の上に50 nm～100 nmの厚さを持つ白金膜を堆積し、その後、白金膜及び強誘電体膜をパターンニングすることにより、強誘電体膜よりなる容量絶縁膜113と白金膜よりなる容量上部電極114とを形成する。これによって、容量下部電極111、容量絶縁膜113及び容量上部電極114よりなる強誘電体キャパシタが形成される。

#### 【0071】

次に、図3(a)に示すように、第1の絶縁膜112の上に容量絶縁膜113及び容量上部電極114を覆うように50 nm～300 nmの厚さを持つシリコン酸化膜よりなる第2の絶縁膜115を形成した後、第2の絶縁膜115に対してアルゴンプラズマ雰囲気中でアルゴンイオンをスパッタリングすることにより、第2の絶縁膜115における容量上部電極114の角部と対応する部分に傾斜部115aを形成する。アルゴンスパッタリングは、例えばソースパワー：350 W、バイアスパワー：250 W及びアルゴンガス流量：5 mL/min（標準状態）の条件で120秒間行なう。この場合、第2の絶縁膜115に傾斜部115aを形成するスパッタリングにおいては、第2の絶縁膜115の傾斜部115aにおいて容量上部電極114の角部が露出しないようにする。

#### 【0072】

次に、図3(b)に示すように、第2の絶縁膜115、第1の絶縁膜112及び第1の水素バリア膜108に対して選択的にドライエッチングを行なって、第2



の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 を島状にする。この場合においても、第 2 の絶縁膜 115 の傾斜部 115a において容量上部電極 114 の角部が露出しないようにする。

#### 【0073】

次に、酸素雰囲気中の 650℃～850℃の温度下において 15 秒間～5 分間の RTA（ラピッド・サーマル・アニール）による酸素アニールを行なうことにより、容量絶縁膜 113 の構成する強誘電体膜を結晶化させる。

#### 【0074】

図 12 で説明したように、この酸素アニールにより第 1 の水素バリア膜 108 にストレス変化が起きる。ところが、第 1 の水素バリア膜 108 のストレス変化は導電膜 110 及び第 1 の絶縁膜 112 によって緩和されるので、容量下部電極 111 の積層界面、特に Ir 膜と TiAlN 膜との界面において剥離が発生しない。

#### 【0075】

次に、図 3(c) に示すように、スパッタ法により、島状にエッチングされている、第 2 の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 を完全に覆うと共に 5nm～100nm の厚さを持つ Al<sub>2</sub>O<sub>3</sub> 膜又は TiAlO 膜よりなる第 2 の水素バリア膜 116 を堆積した後、第 2 の水素バリア膜 116 をパターンニングして、島状の第 2 の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 を取り囲む部分以外の領域を除去する。この場合においても、第 2 の水素バリア膜 116 の下部と第 1 の水素バリア膜 108 の周端部との接続は確実に確保しておく。

#### 【0076】

第 1 の実施形態によると、第 2 の水素バリア膜 116 は、強誘電体キャパシタの角部と対応する部分に傾斜部 115a を有する第 2 の絶縁膜 115 の上に堆積されるため、スパッタ法により堆積されるにもかかわらず、第 2 の水素バリア膜 116 における強誘電体キャパシタの角部と対応する部分の被覆性が向上している。このため、第 2 の水素バリア膜 116 の全ての領域において結晶性及び緻密性が向上し、水素パスの発生を防止できるので、水素バリア機能が向上する。

## 【0077】

以下、第1の実施形態を評価するために行なった試験結果について説明する。図9は、導電膜110となるTiN膜の膜厚と、容量下部電極111とコンタクトプラグ109とのコンタクト抵抗との関係を示しており、図9から明らかなように、TiN膜の膜厚が0の場合、つまり導電膜110が設けられていない場合にはコンタクト抵抗にばらつきが見られるが、TiN膜の膜厚が10nm、20nm及び40nmの場合には、コンタクト抵抗が小さい値で安定している。これらのことから、導電膜110が設けられていない場合には、容量下部電極111の積層界面において剥離が発生してコンタクト抵抗がばらつくが、導電膜110が設けられている場合には、容量下部電極111の積層界面において剥離が発生しないためにコンタクト抵抗が小さく且つ安定することが分かる。

## 【0078】

図10は、図11に示した従来の半導体装置、第1の実施形態に係る半導体装置及び強誘電体膜単体（リファレンス）における強誘電体膜の分極量を示している。図10から分かるように、第1の実施形態によると、製造プロセスにおいて発生する水素により容量絶縁膜113を構成する強誘電体膜が還元されて劣化する事態を防止できるため、強誘電体膜の分極量の劣化を低減することができる。また、第1の実施形態によると、容量絶縁膜113を構成する強誘電体膜の分極量は、強誘電体膜単体（リファレンス）における強誘電体膜の分極量と殆ど変わらない。

## 【0079】

## (第2の実施形態)

以下、本発明の第2の実施形態として、第1の実施形態に係る半導体装置の第2の製造方法について図4(a)～(c)及び図5(a)～(c)を参照しながら説明する。尚、第2の製造方法により製造される半導体装置は、第1の実施形態つまり第1の製造方法により製造される半導体装置に比べて、第2の絶縁膜115における強誘電体キャパシタと対応する部位に形成される傾斜部115aが滑らかな形状を有している点においてのみ異なる。

## 【0080】

まず、第1の実施形態と同様にして、図4(a)に示すように、シリコンよりなる半導体基板100の表面部に300nm～750nmの厚さを持つ埋め込み型の素子分離領域101を形成した後、素子分離領域101によって囲まれた領域における半導体基板100の上に3nm～12nmの厚さを持つゲート絶縁膜102を形成する。次に、ゲート絶縁膜102の上に70nm～200nmの厚さを持つノンドープ型アモルファスシリコン膜を堆積した後、該アモルファスシリコン膜をドライエッチングによりパターンニングしてゲート電極103を形成する。次に、素子分離領域101によって囲まれた半導体基板100の表面部にゲート電極103をマスクにボロンイオンをイオン注入した後、活性化アニールを行なって、ソース領域104及びドレイン領域105を形成する。また、ゲート電極103、ソース領域104及びドレイン領域105の表面部には5nm～20nmの厚さを持つコバルトシリサイド層106を形成する。

#### 【0081】

次に、半導体基板100の上には、ゲート電極103、ソース領域104及びドレイン領域105を覆うように300nm～700nmの厚さを持つBP SG膜よりなる保護絶縁膜107を形成した後、CVD法により保護絶縁膜107の上に50nm～200nmの厚さを持つSiN膜よりなる第1の水素バリア膜108を堆積する。次に、第1の水素バリア膜108及び保護絶縁膜107にコンタクトホールを形成した後、CVD法により第1の水素バリア膜108の上に全面に亘ってタンゲステン膜を堆積し、その後、該タンゲステン膜に対してエッチバック又はCMPを行なうことにより、第1の水素バリア膜108及び保護絶縁膜107を貫通して延びるコンタクトプラグ109を形成する。

#### 【0082】

次に、図4(b)に示すように、CVD法により第1の水素バリア膜108の上に5nm～50nmの厚さを持つTiN膜を堆積した後、スパッタ法によりTiN膜110の上に、上層から順に積層された、50nm～150nmの厚さを持つPt膜、50nm～150nmの厚さを持つIrO<sub>2</sub>膜、50nm～150nmの厚さを持つIr膜及び10nm～100nmの厚さを持つTiAlN膜よりなる積層膜を堆積し、その後、TiN膜及び積層膜をパターンニングして、TiN

膜よりなる導電膜 110 と積層膜よりなる容量下部電極 111 とを形成する。

#### 【0083】

次に、HDP-CVD 法により、第 1 の水素バリア膜 108 の上に導電膜 110 及び容量下部電極 111 を覆うように 155 nm～800 nm の厚さを持つ第 1 の絶縁膜 112 を堆積する。

#### 【0084】

次に、図 4 (c) に示すように、CMP 法により、第 1 の絶縁膜 112 に対して容量下部電極 111 が露出するまで研磨を行なって、第 1 の絶縁膜 112 の上面を容量下部電極 111 の上面とを面一にする。

#### 【0085】

次に、MOD (有機金属分解) 法、MOCVD (有機金属化学気相成膜) 法、スパッタ法又は塗布法により、容量下部電極 111 及び第 1 の絶縁膜 112 の上に、50 nm～150 nm の厚さを持つ  $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$  膜よりなるビスマス層状ペロブスカイト構造を有する強誘電体膜を形成した後、スパッタ法により、強誘電体膜の上に 50 nm～100 nm の厚さを持つ白金膜を堆積し、その後、白金膜及び強誘電体膜をパターンングすることにより、強誘電体膜よりなる容量絶縁膜 113 と白金膜よりなる容量上部電極 114 とを形成する。これによって、容量下部電極 111、容量絶縁膜 113 及び容量上部電極 114 よりなる強誘電体キャパシタが形成される。

#### 【0086】

次に、図 5 (a) に示すように、第 1 の絶縁膜 112 の上に容量絶縁膜 113 及び容量上部電極 114 を覆うように 50 nm～300 nm の厚さを持つシリコン酸化膜よりなる第 2 の絶縁膜 115 を形成した後、例えば酸化膜エッチング装置を用いて、第 2 の絶縁膜 115 に対して全面エッチングを行なうことにより、第 2 の絶縁膜 115 における容量上部電極 114 の角部と対応する部分に滑らかな傾斜部 115a を形成する。全面エッチングは、例えばソースパワー: 2200 W、バイアスパワー: 1300 W、チャンバーの圧力: 0.665 Pa、 $\text{C}_2\text{F}_6$  ガス流量: 40 mL/min (標準状態)、 $\text{O}_2$  ガス流量: 2 mL/min (標準状態) の条件で 10 秒間行なう。この場合、第 2 の絶縁膜 115 に滑らかな傾

斜部 115a を形成する全面エッチングにおいては、第 2 の絶縁膜 115 の傾斜部 115a において容量上部電極 111 及び容量絶縁膜 113 の角部が露出しないようにする。

#### 【0087】

次に、図 5 (b) に示すように、第 2 の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 に対して選択的にドライエッチングを行なって、第 2 の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 を島状にする。この場合においても、第 2 の絶縁膜 115 の傾斜部 115a において容量上部電極 111 及び容量絶縁膜 113 の角部が露出しないようにする。

#### 【0088】

次に、酸素雰囲気中の 650℃～850℃の温度下において 15 秒間～5 分間の R T A による酸素アニールを行なうことにより、容量絶縁膜 113 の構成する強誘電体膜を結晶化させる。

#### 【0089】

図 12 で説明したように、この酸素アニールにより第 1 の水素バリア膜 108 にストレス変化が起きるが、第 1 の水素バリア膜 108 のストレス変化は導電膜 110 及び第 1 の絶縁膜 112 によって緩和されるので、容量下部電極 111 の積層界面、特に I r 膜と T i A l N 膜との界面において剥離が発生しない。

#### 【0090】

次に、図 5 (c) に示すように、スパッタ法により、島状にエッチングされている、第 2 の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 を完全に覆うと共に 5 nm～100 nm の厚さを持つ A l<sub>2</sub>O<sub>3</sub> 膜又は T i A l O 膜よりなる第 2 の水素バリア膜 116 を堆積した後、第 2 の水素バリア膜 116 をパターニングして、島状の第 2 の絶縁膜 115、第 1 の絶縁膜 112 及び第 1 の水素バリア膜 108 を取り囲む部分以外の領域を除去する。この場合においても、第 2 の水素バリア膜 116 の下部と第 1 の水素バリア膜 108 の周端部との接続は確実に確保しておく。

#### 【0091】

第 2 の実施形態によると、強誘電体キャパシタの角部と対応する部分に滑らか

な傾斜部 115a を有する第 2 の絶縁膜 115 の上に第 2 の水素バリア膜 116 を堆積するため、スパッタ法により堆積されるにもかかわらず、第 2 の水素バリア膜 116 における強誘電体キャパシタの角部と対応する部分の被覆性が向上している。このため、第 2 の水素バリア膜 116 の全ての領域において結晶性及び緻密性が向上し、水素パスの発生を防止できるので、水素バリア機能が向上する。

#### 【0092】

(第 3 の実施形態)

以下、第 3 の実施形態に係る半導体装置について、図 6 を参照しながら説明する。

#### 【0093】

図 6 は第 3 の実施形態に係る半導体装置の断面構造を示しており、図 6 に示すように、シリコンよりなる半導体基板 200 の表面部に埋め込み型の素子分離領域 201 が形成されている。素子分離領域 201 によって囲まれた領域における半導体基板 200 の上にはゲート絶縁膜 202 を介してゲート電極 203 が形成されていると共に、素子分離領域 201 によって囲まれた半導体基板 200 の表面部にはソース領域 204 及びドレイン領域 205 が形成されている。ゲート電極 203、ソース領域 204 及びドレイン領域 205 の表面部にはコバルトシリサイド層 206 が形成されている。ゲート電極 203、ソース領域 204 及びドレイン領域 205 によってメモリ素子用トランジスタとなる電界効果型トランジスタが構成されており、ゲート電極 203 はワード線となる。

#### 【0094】

半導体基板 200 の上には、ゲート電極 203、ソース領域 204 及びドレイン領域 205 を覆うように保護絶縁膜 207 が形成されており、該保護絶縁膜 207 の上における所定領域には第 1 の水素バリア膜 208 が形成されている。第 1 の水素バリア膜 208 及び保護絶縁膜 207 を貫通して延びるようにタンゲステンよりなるコンタクトプラグ 209 が埋め込まれており、該コンタクトプラグ 209 の下端はソース領域 204 と接続されている。

#### 【0095】

第1の水素バリア膜208の上にはコンタクトプラグ209の上端と接続される導電膜210が設けられていると共に、導電膜210の上に容量下部電極211が形成されており、導電膜210及び容量下部電極211の周囲は、上面が容量下部電極211の上面と面一である第1の絶縁膜212により取り囲まれている。

#### 【0096】

容量下部電極211及び第1の絶縁膜212の上には強誘電体膜よりなる容量絶縁膜213が形成され、該容量絶縁膜213の上には容量上部電極214が形成されており、容量下部電極211、容量絶縁膜213及び容量上部電極214によって強誘電体キャパシタが構成されている。

#### 【0097】

第1の絶縁膜212の上には、強誘電体キャパシタを覆うように、ノンドープ型のシリコン酸化膜よりなる第2の絶縁膜215とBPSG膜よりなる第3の絶縁膜216とが形成されている。尚、第3の絶縁膜216としては、BPSG膜に代えて、ノンドープ型のシリコン酸化膜又はボロン若しくはリンがドーパされたシリコン酸化膜を用いてもよい。

#### 【0098】

第1の水素バリア膜208、第1の絶縁膜212、第2の絶縁膜215及び第3の絶縁膜216を覆うように第2の水素バリア膜217が形成されており、該第2の水素バリア膜217の下端部と第1の水素バリア膜208の周端部とは接続されている。

#### 【0099】

以下、第3の実施形態に係る半導体装置の第1の製造方法について、図7(a)～(c)及び図8(a)～(c)を参照しながら説明する。

#### 【0100】

まず、図7(a)に示すように、シリコンよりなる半導体基板200の表面部に300nm～750nmの厚さを持つ埋め込み型の素子分離領域201を形成した後、素子分離領域201によって囲まれた領域における半導体基板200の上に3nm～12nmの厚さを持つゲート絶縁膜202を形成する。次に、ゲート

絶縁膜 202 の上に 70 nm ~ 200 nm の厚さを持つノンドープ型アモルファスシリコン膜を堆積した後、該アモルファスシリコン膜をドライエッチングによりパターンニングしてゲート電極 203 を形成する。

#### 【0101】

次に、素子分離領域 201 によって囲まれた半導体基板 200 の表面部にゲート電極 203 をマスクにボロンイオンを  $5 \sim 10 \times 10^{15} / \text{cm}^2$  のドーズ量でイオン注入した後、650℃ ~ 850℃ の温度範囲で 10 ~ 30 分間の活性化アニールを行なって、ソース領域 204 及びドレイン領域 205 を形成する。また、ゲート電極 203、ソース領域 204 及びドレイン領域 205 の表面部には 5 nm ~ 20 nm の厚さを持つコバルトシリサイド層 206 を形成する。

#### 【0102】

次に、半導体基板 200 の上には、ゲート電極 203、ソース領域 204 及びドレイン領域 205 を覆うように 300 nm ~ 700 nm の厚さを持つ BPSG 膜よりなる保護絶縁膜 207 を形成する。この BPSG 膜においては、ボロン濃度は 0.5 wt% ~ 2.5 wt% に設定すると共に、リン濃度は 1.0 wt% ~ 6.0 wt% に設定する。次に、CVD 法により保護絶縁膜 207 の上に 50 nm ~ 200 nm の厚さを持つ SiN 膜（シリコン窒化膜）よりなる第 1 の水素バリア膜 208 を堆積する。

#### 【0103】

次に、第 1 の水素バリア膜 208 及び保護絶縁膜 207 にコンタクトホールを形成した後、CVD 法により第 1 の水素バリア膜 208 の上に全面に亘ってタングステン膜を堆積し、その後、該タングステン膜に対してエッチバック又は CMP を行なうことにより、第 1 の水素バリア膜 208 及び保護絶縁膜 207 を貫通して延びるコンタクトプラグ 209 を形成する。

#### 【0104】

次に、図 7 (b) に示すように、CVD 法により第 1 の水素バリア膜 208 の上に 5 nm ~ 50 nm の厚さを持つ TiN 膜を堆積した後、スパッタ法により TiN 膜の上に、上層から順に積層された、50 nm ~ 150 nm の厚さを持つ Pt 膜、50 nm ~ 150 nm の厚さを持つ IrO<sub>2</sub> 膜、50 nm ~ 150 nm の厚



さを持つ Ir 膜及び 10 nm ~ 100 nm の厚さを持つ TiAlN 膜よりなる積層膜を堆積し、その後、TiN 膜及び積層膜をパターンニングして、TiN 膜よりなる導電膜 210 と積層膜よりなる容量下部電極 211 とを形成する。

#### 【0105】

次に、HDP-CVD 法により、第 1 の水素バリア膜 208 の上に導電膜 210 及び容量下部電極 211 を覆うように 155 nm ~ 800 nm の厚さを持つ第 1 の絶縁膜 212 を堆積する。

#### 【0106】

次に、図 7(c) に示すように、CMP 法により、第 1 の絶縁膜 212 に対して容量下部電極 211 が露出するまで研磨を行なって、第 1 の絶縁膜 212 の上面を容量下部電極 211 の上面と面一にする。

#### 【0107】

次に、MOD（有機金属分解）法、MOCVD（有機金属化学気相成膜）法、スパッタ法又は塗布法により、容量下部電極 211 及び第 1 の絶縁膜 212 の上に、50 nm ~ 150 nm の厚さを持つ  $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$  膜よりなるピスマス層状ペロブスカイト構造を有する強誘電体膜を形成した後、スパッタ法により、強誘電体膜の上に 50 nm ~ 100 nm の厚さを持つ白金膜を堆積し、その後、白金膜及び強誘電体膜をパターンニングすることにより、強誘電体膜よりなる容量絶縁膜 213 と白金膜よりなる容量上部電極 214 とを形成する。これによって、容量下部電極 211、容量絶縁膜 213 及び容量上部電極 214 よりなる強誘電体キャパシタが形成される。

#### 【0108】

次に、図 8(a) に示すように、例えば CVD 法により、第 1 の絶縁膜 212 の上に容量絶縁膜 213 及び容量上部電極 214 を覆うように 50 nm ~ 200 nm の厚さを持つノンドーパ型のシリコン酸化膜よりなり拡散防止膜となる第 2 の絶縁膜 215 を堆積する。この場合、第 2 の絶縁膜 215 は、例えば、 $\text{O}_3$  の濃度：11 wt %、 $\text{O}_3$  ガスの流量：5500 mL/min（標準状態）、 $\text{He}_2$  ガスの流量：4000 mL/min（標準状態）、 $\text{N}_2$  ガスの流量：2000 mL/min（標準状態）、TEOS（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）ガスの流量：350 m

g/min、温度：400℃、圧力：6650Pa、時間：10秒間の条件で堆積する。

#### 【0109】

次に、例えばオゾンCVD法により、第2の絶縁膜215の上に、300nm～700nmの厚さを持つBPSG膜よりなる第3の絶縁膜216を堆積する。このBPSG膜においては、ボロン濃度は0.5wt%～6.0wt%に設定すると共に、リン濃度は1.0wt%～6.0wt%に設定する。また、このBPSG膜は、例えば、O<sub>3</sub> 濃度：11wt%、O<sub>3</sub> ガスの流量：4000mL/min（標準状態）、He<sub>2</sub> ガスの流量：4000mL/min（標準状態）、N<sub>2</sub> ガスの流量：2000mL/min（標準状態）、TEOSガスの流量：500mg/min、TMPO（PO(OCH<sub>3</sub>)<sub>3</sub>）ガスの流量：23mg/min、TEB（B(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>）ガスの流量：100mg/min、温度：480℃、圧力：26600Pa、時間：50秒の条件で堆積する。尚、第3の絶縁膜216としては、プロセスガスに、TMPO（PO(OCH<sub>3</sub>)<sub>3</sub>）ガス及びTEB（B(OC<sub>2</sub>H<sub>5</sub>)<sub>3</sub>）ガスのうちの少なくとも1つを添加しないで、BPSG膜に代えて、ノンドープ型のシリコン酸化膜又はボロン若しくはリンがドープされたシリコン酸化膜を形成してもよい。

#### 【0110】

次に、第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208に対して選択的にドライエッチングを行なって、第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208を島状にする。この場合、第3の絶縁膜216及び第2の絶縁膜215において容量上部電極214の角部が露出しないようにする。

#### 【0111】

次に、図8(b)に示すように、酸素雰囲気中の650℃～850℃の温度下において15秒間～30分間のRTAによる酸素アニールを行なうことにより、容量絶縁膜113の構成する強誘電体膜を結晶化させると共に第3の絶縁膜216をリフローさせる。このリフローにより、第3の絶縁膜216における強誘電体キャパシタの角部と対応する部分が滑らかになる。この場合、BPSG膜よりな

る第3の絶縁膜216と、容量上部電極214及び容量絶縁膜213との間にノンドープ型のシリコン酸化膜よりなる第2の絶縁膜215が介在しているため、第3の絶縁膜216を構成するボロン又はリンが容量上部電極214及び容量絶縁膜213に拡散する事態が防止される。

#### 【0112】

次に、図8(c)に示すように、スパッタ法により、島状にエッチングされている、第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208を完全に覆うと共に5nm～100nmの厚さを持つAl<sub>2</sub>O<sub>3</sub>膜又はTiAlO膜よりなる第2の水素バリア膜217を堆積した後、第2の水素バリア膜217をパターニングして、島状の第3の絶縁膜216、第2の絶縁膜215、第1の絶縁膜212及び第1の水素バリア膜208を取り囲む部分以外の領域を除去する。この場合においても、第2の水素バリア膜217の下部と第1の水素バリア膜208の周端部との接続は確実に確保しておく。

#### 【0113】

第3の実施形態によると、第3の絶縁膜216をリフローさせて第3の絶縁膜216における強誘電体キャパシタの角部と対応する部分を滑らかにしておいてから第2の水素バリア膜217を堆積するため、スパッタ法により堆積されるにもかかわらず、第2の水素バリア膜217における強誘電体キャパシタの角部と対応する部分の被覆性が向上している。このため、第2の水素バリア膜217の全ての領域において結晶性及び緻密性が向上し、水素パスの発生を防止できるので、第2の水素バリア膜217の水素バリア機能が向上する。

#### 【0114】

また、第3の絶縁膜216をリフローさせる工程は、容量絶縁膜213を構成する強誘電体膜を結晶化させる工程と同じ酸素アニールによって行なわれるため、工程数の増加を抑制することができる。

#### 【0115】

##### 【発明の効果】

第1若しくは第2の半導体装置又は第1若しくは第2の半導体装置の製造方法によると、容量下部電極は第1の水素バリア膜の上に設けられていると共に、第

2の水素バリア膜は、容量上部電極の角部と対応する部位に傾斜部を有する第2の絶縁膜の上に形成されているため、容量絶縁膜に水素が侵入する事態を確実に防止することができる。

【図面の簡単な説明】

【図1】

第1の実施形態に係る半導体装置の断面図である。

【図2】

(a)～(c)は第1の実施形態に係る半導体装置の第1の製造方法の各工程を示す断面図である。

【図3】

(a)～(c)は第1の実施形態に係る半導体装置の第1の製造方法の各工程を示す断面図である。

【図4】

(a)～(c)は第1の実施形態に係る半導体装置の第2の製造方法の各工程を示す断面図である。

【図5】

(a)～(c)は第1の実施形態に係る半導体装置の第2の製造方法の各工程を示す断面図である。

【図6】

第3の実施形態に係る半導体装置の断面図である。

【図7】

(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図8】

(a)～(c)は第3の実施形態に係る半導体装置の製造方法の各工程を示す断面図である。

【図9】

第1の実施形態に係る半導体装置において、導電膜となるTiN膜の膜厚と、容量下部電極とコンタクトプラグとのコンタクト抵抗との関係を示す図である。

**【図 10】**

従来の半導体装置、第 1 の実施形態に係る半導体装置及び強誘電体膜単体における強誘電体膜の分極量を示す図である。

**【図 11】**

従来の半導体装置の断面図である。

**【図 12】**

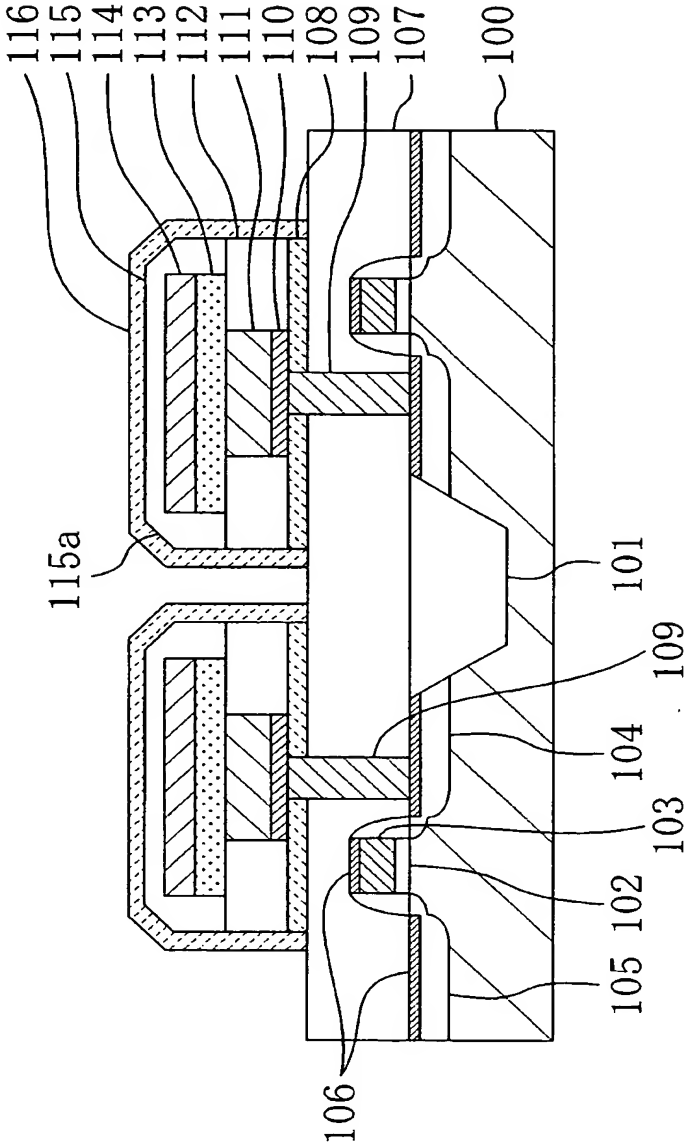
酸素アニール処理によって引き起こされる第 1 の水素バリア膜の熱ストレスと半導体基板の温度との関係を表わす熱ストレスヒステリシス曲線を示す図である。

**【符号の説明】**

- 100 半導体基板
- 101 素子分離領域
- 102 ゲート絶縁膜
- 103 ゲート電極
- 104 ソース領域
- 105 ドレイン領域
- 106 コバルトシリサイド
- 107 保護絶縁膜
- 108 コンタクトプラグ
- 109 導電膜
- 110 導電膜
- 111 容量下部電極
- 112 第 1 の絶縁膜
- 113 容量絶縁膜
- 114 容量上部電極
- 115 第 2 の絶縁膜
- 116 第 2 の水素バリア膜
- 200 半導体基板
- 201 素子分離領域

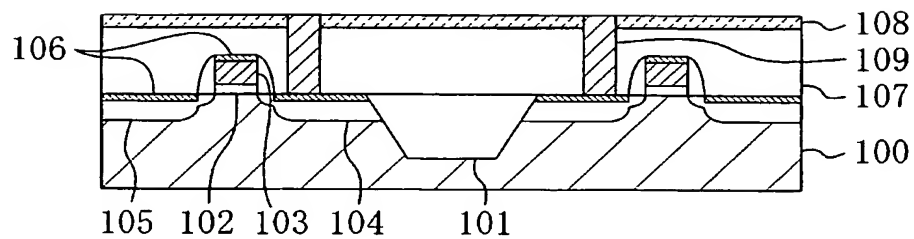
- 2 0 2 ゲート酸化膜
- 2 0 3 ゲート電極
- 2 0 4 ソース領域
- 2 0 5 ドレイン領域
- 2 0 6 コバルトシリサイド層
- 2 0 7 保護絶縁膜
- 2 0 8 第 1 の水素バリア膜
- 2 0 9 コンタクトプラグ
- 2 1 0 導電膜
- 2 1 1 容量下部電極
- 2 1 2 第 1 の絶縁膜
- 2 1 3 容量絶縁膜
- 2 1 4 容量上部電極
- 2 1 5 第 2 の絶縁膜
- 2 1 6 第 3 の絶縁膜
- 2 1 7 第 2 の水素バリア膜

【書類名】 図面  
【図 1】

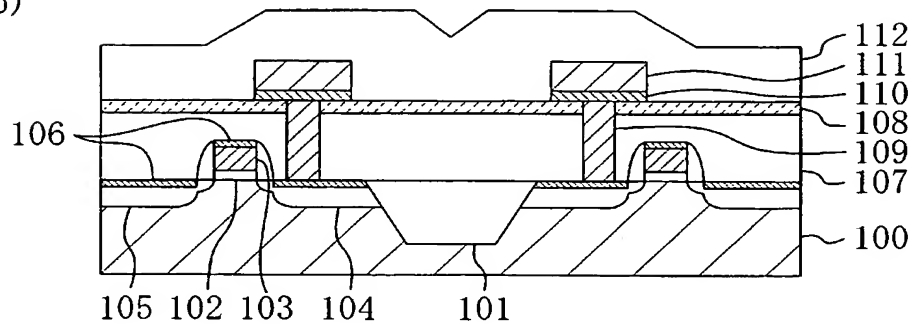


【図 2】

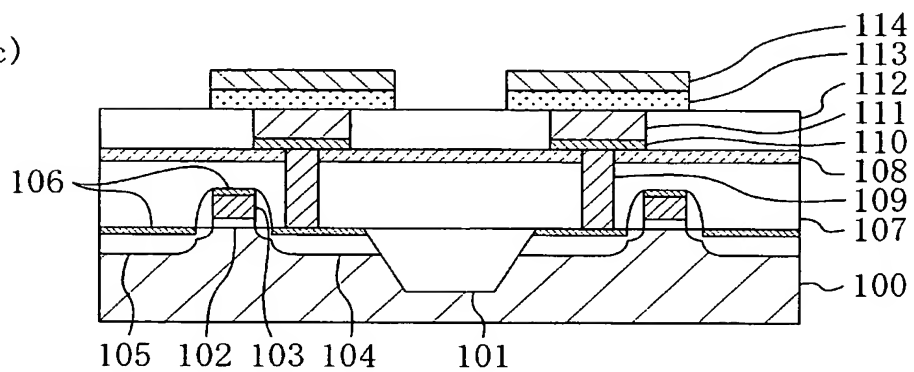
(a)



(b)

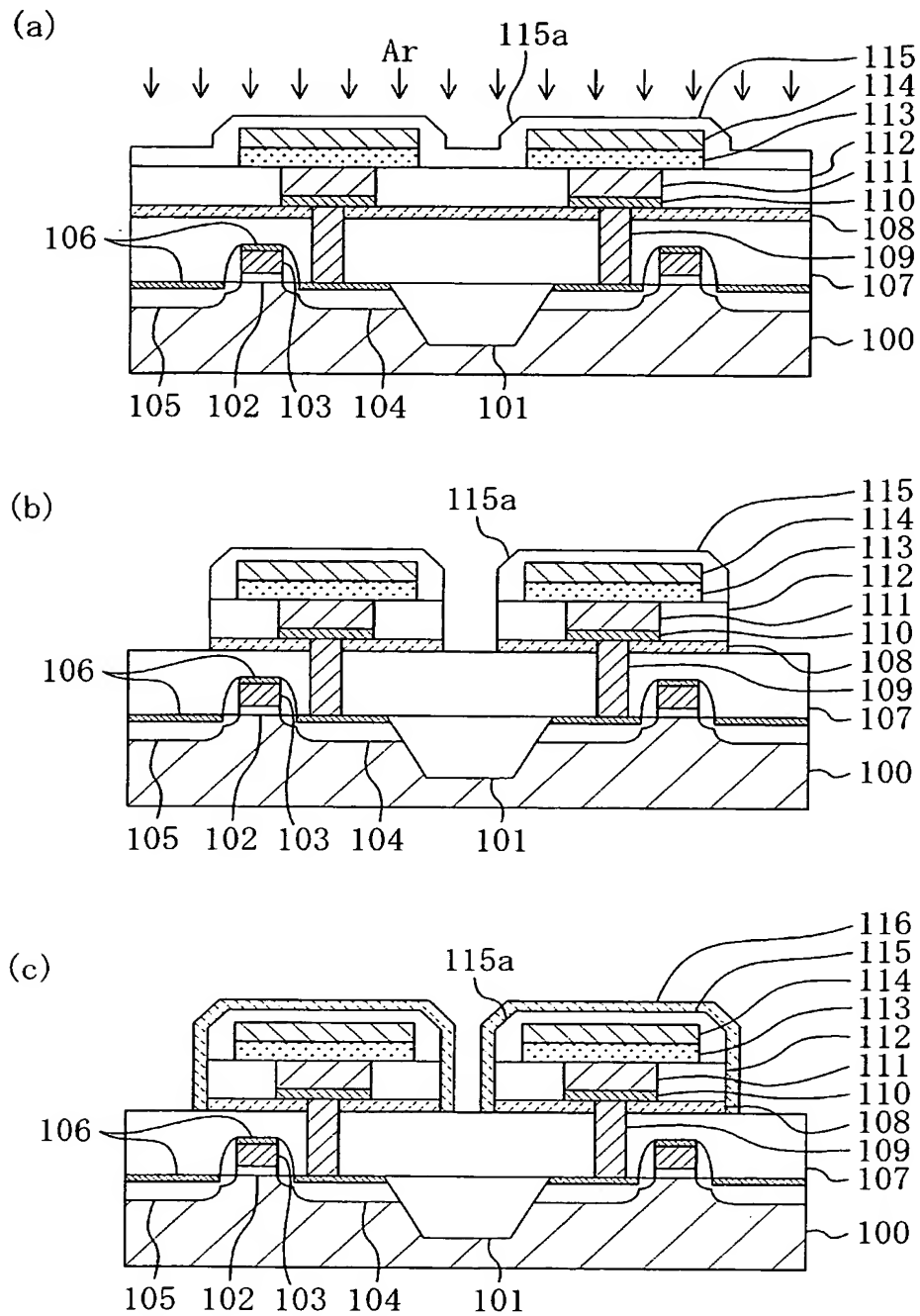


(c)



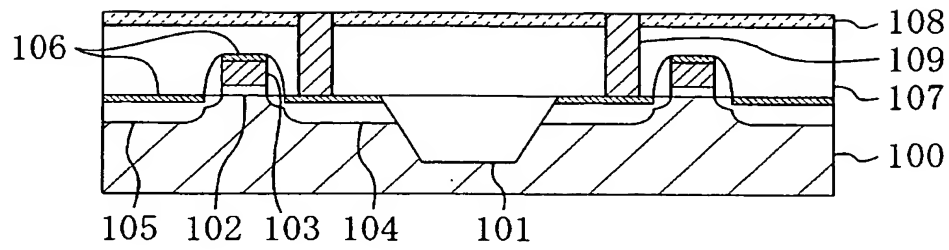


【図 3】

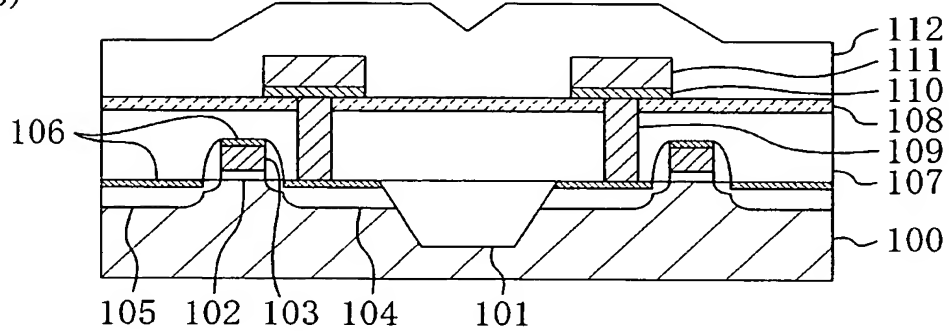


【図 4】

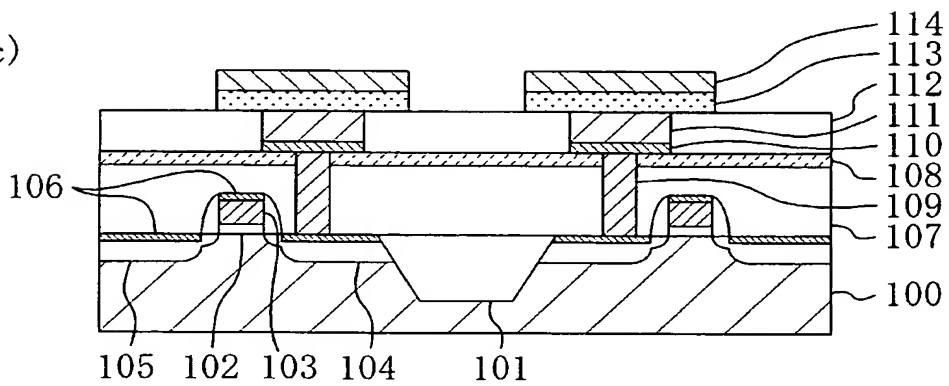
(a)



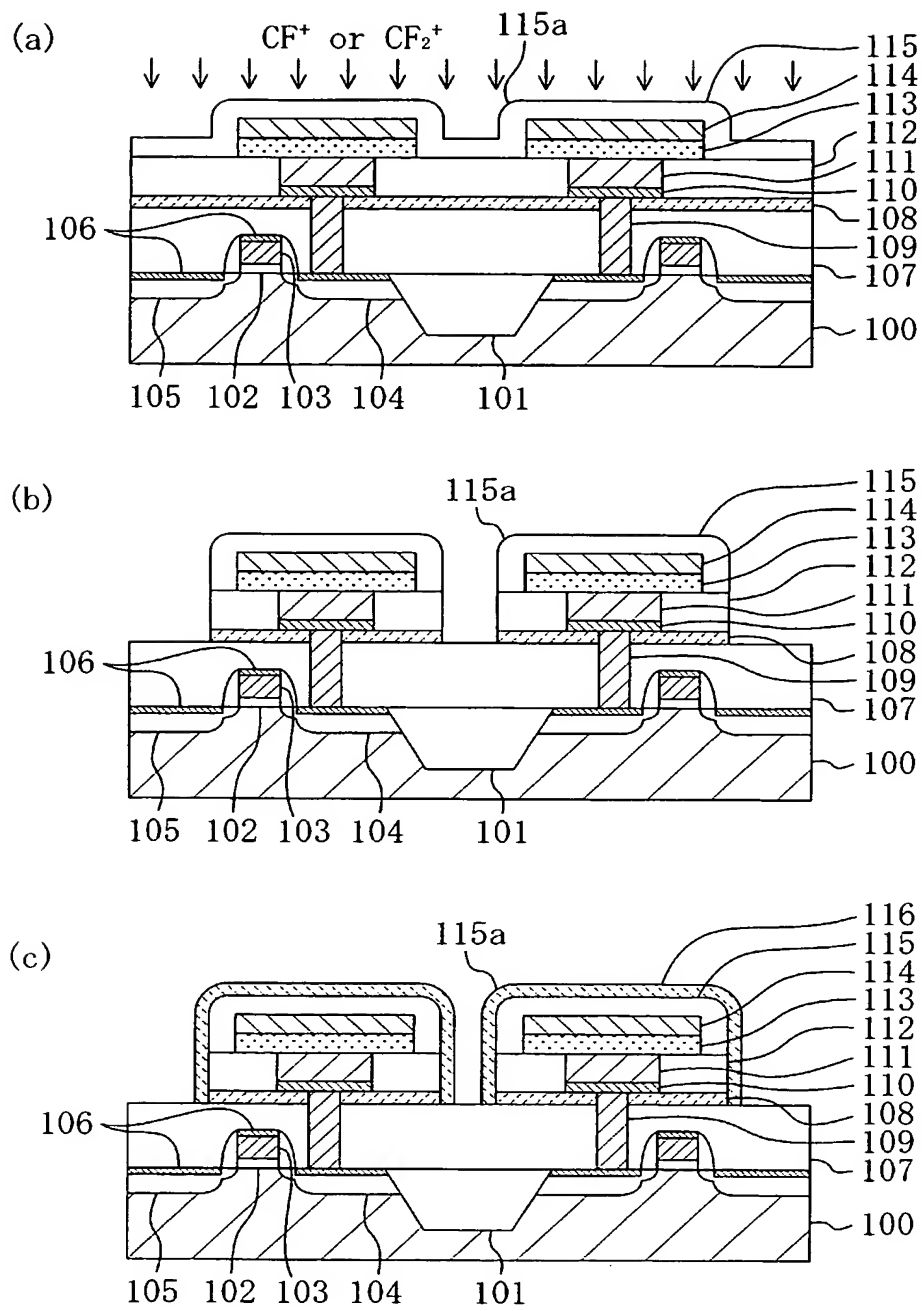
(b)



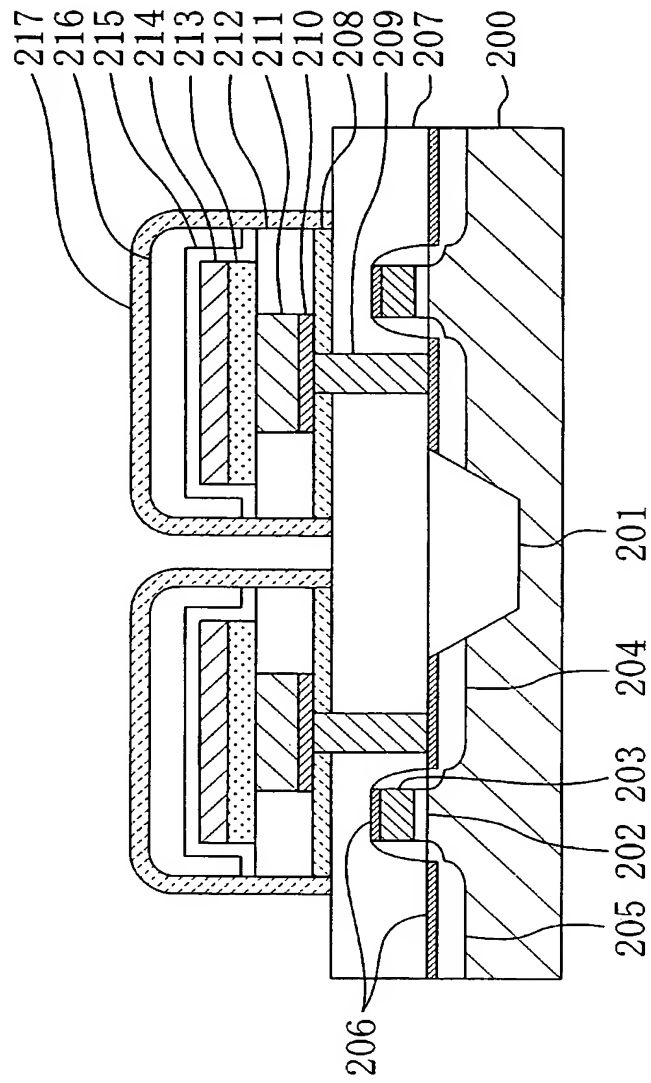
(c)



【図 5】

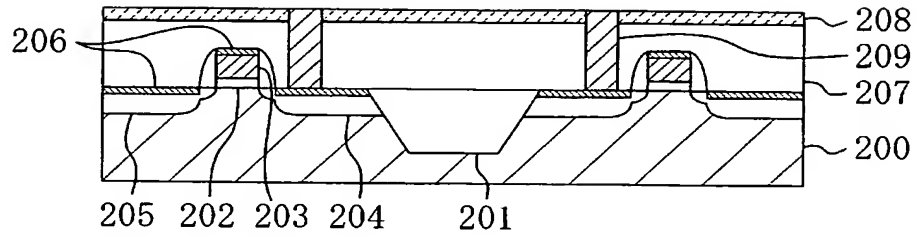


【図 6】

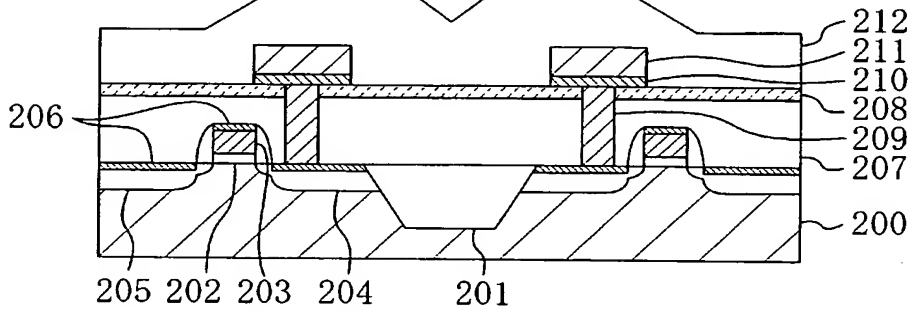


【図 7】

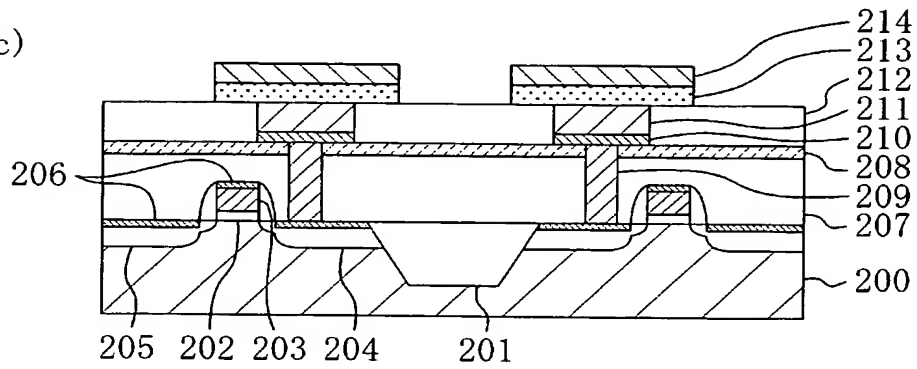
(a)



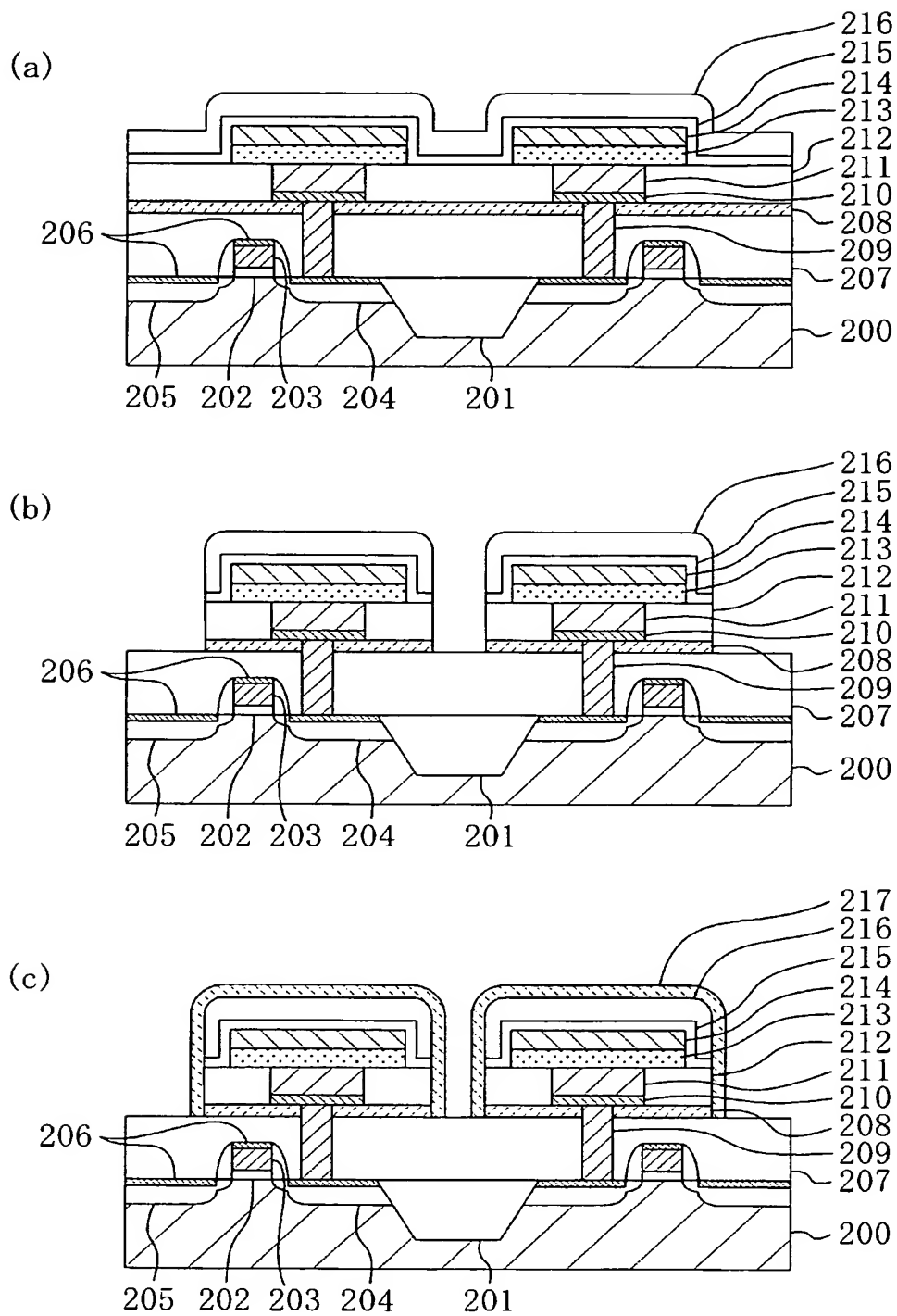
(b)



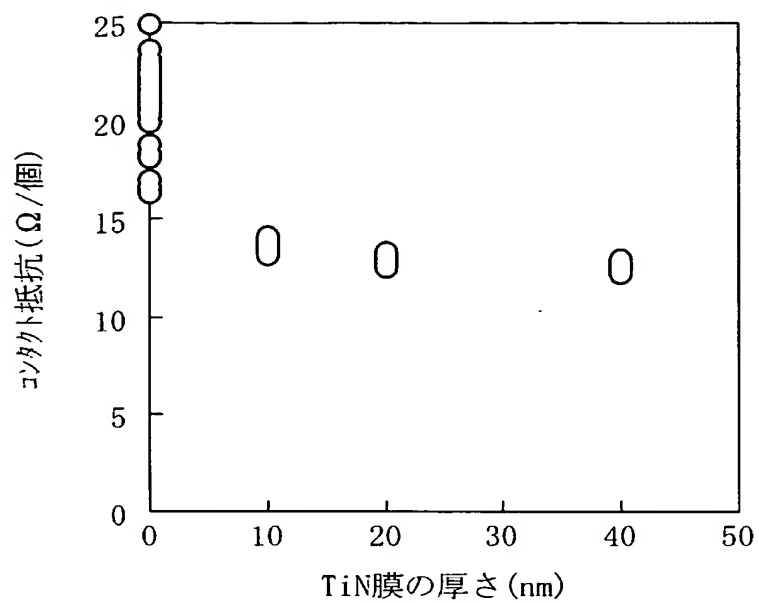
(c)



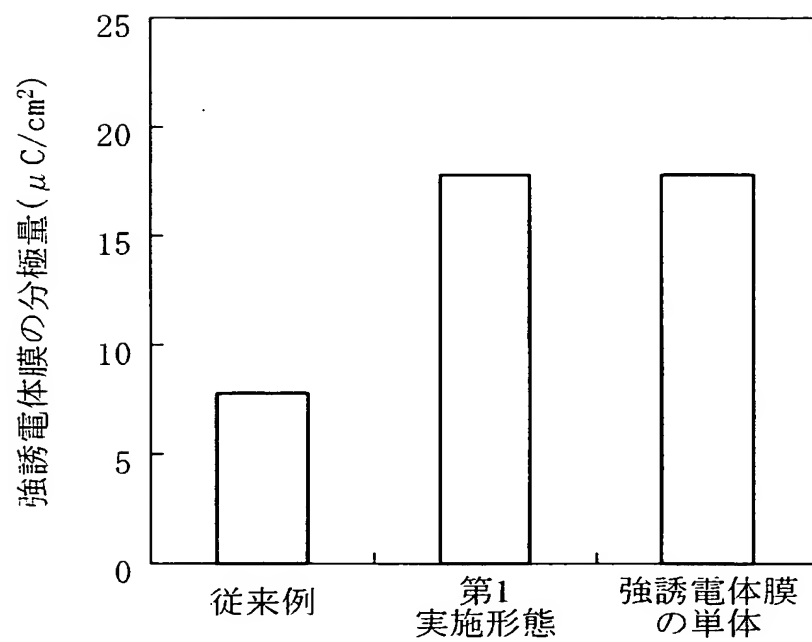
【図 8】



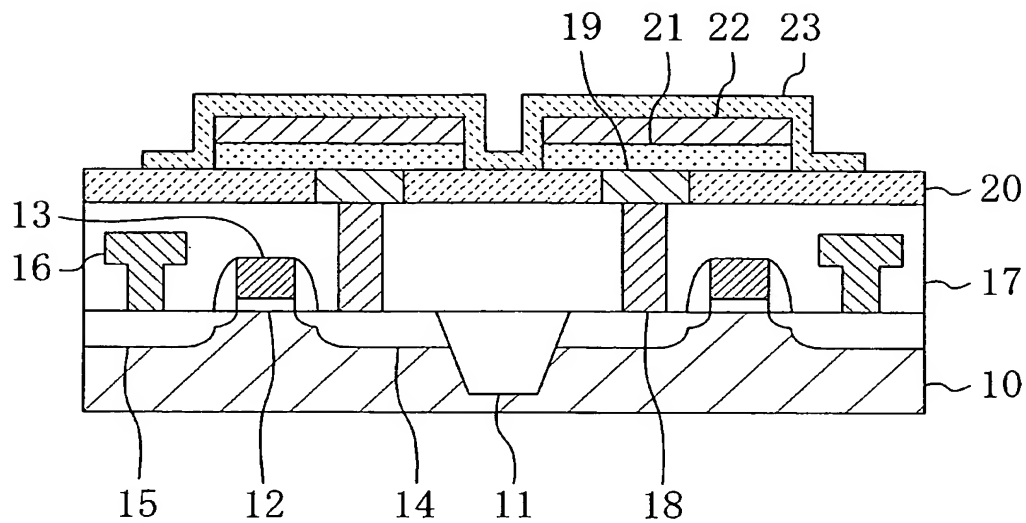
【図9】



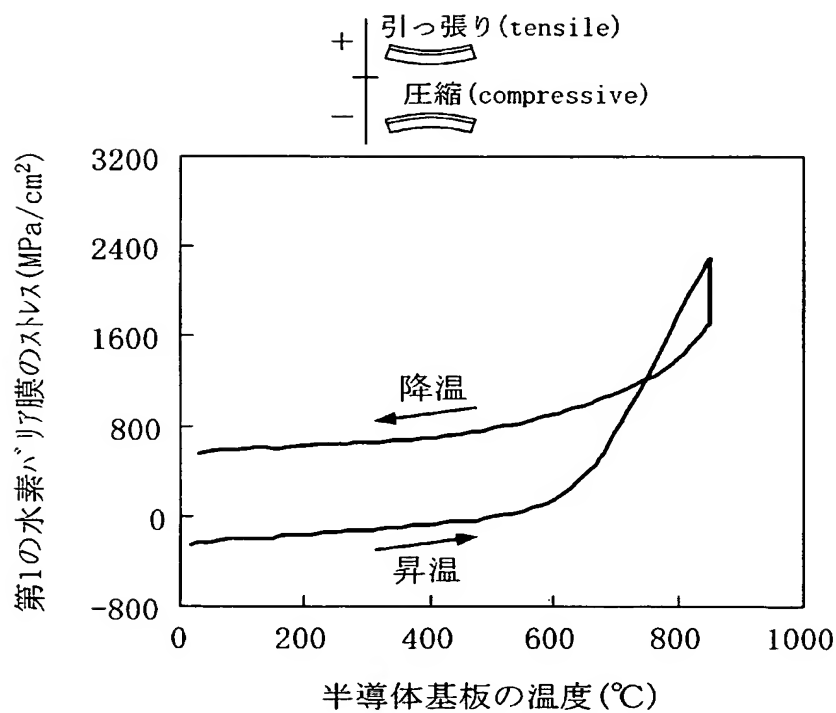
【図10】



【図 1 1】



【図 1 2】





【書類名】 要約書

【要約】

【課題】 水素雰囲気中での熱処理工程において容量絶縁膜に水素が侵入する事態を確実に防止する。

【解決手段】 半導体基板 100 の上には第 1 の水素バリア膜 108 が形成され、該第 1 の水素バリア膜 108 の上には導電膜 110 を介して容量下部電極 111 が形成されている。第 1 の水素バリア膜 108 の上には、容量下部電極 111 の側面を覆い且つ容量下部電極 111 の上面を露出させるように第 1 の絶縁膜 112 が形成されている。容量下部電極 111 及び第 1 の絶縁膜 112 の上には絶縁性金属酸化物よりなる容量絶縁膜 113 が形成され、該容量絶縁膜 113 の上には容量上部電極 114 が形成されている。第 2 の絶縁膜 115 は、容量絶縁膜 113 及び容量上部電極 114 を覆うと共に容量上部電極 114 の角部と対応する部位に傾斜部 115a を有している。第 2 の絶縁膜 115 の上には第 2 の水素バリア膜 116 が形成されている。

【選択図】 図 1



特願 2 0 0 3 - 0 7 4 7 3 1

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社